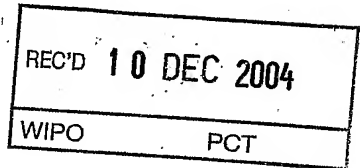


**BUNDESREPUBLIK DEUTSCHLAND**

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung****Aktenzeichen:**

103 57 697.5

**Anmeldetag:**

9. Dezember 2003

**Anmelder/Inhaber:**Deutsche Thomson-Brandt GmbH,  
78048 Villingen-Schwenningen/DE**Bezeichnung:**

Speicher-Controller

**IPC:**

G 06 F 13/12

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 2. November 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**

Im Auftrag

  
Hoiß

## Speicher-Controller

Die vorliegende Erfindung betrifft einen Speicher-Controller für einen IC mit externem DRAM, insbesondere einen Speicher-Controller mit einem Befehlsplaner (Command-Scheduler).

In der Statistik der am meisten verkauften bespielten Bilddatenträger in Deutschland hat im letzten Jahr die DVD erstmals die Videokassette abgelöst. Es ist somit davon auszugehen, dass in absehbarer Zukunft DVD-Videorekorder den analogen Videorekorder als Aufnahmegerät ablösen werden. Insbesondere der sich z. Z. schnell verbreitende digitale Fernsehempfang (DVB) wird auch den Wunsch nach digitaler Speicherung wecken. Es zeigt sich hier aber bereits, dass selbst moderne Kompressionsverfahren wie MPEG-4 nur die Speicherung von durchschnittlich zwei Kinofilmen auf einer beschreibbaren DVD ermöglichen. Im Zuge von High Definition Television (HDTV) wird daher die Entwicklung neuer optischer Speichermedien mit größerer Speicherkapazität vorangetrieben. Ein solches optisches Speichermedium ist beispielsweise die Blu-ray Disk mit einer Kapazität von bis zu 54 GB. Zukünftige Laufwerke für optische Speichermedien sollten vorzugsweise zumindest die Formate von Blu-ray Disk, DVD und CD sowohl lesend als auch schreibend unterstützen. Zu diesem Zweck wird ein IC zur Steuerung des optischen Laufwerkes benötigt, der die genannten Formate beherrscht. Hinsichtlich der Ausrichtung auf den Consumer-Markt sind die Stückkosten zu minimieren, wodurch sich einige Rahmenbedingungen für die Entwicklung eines solchen ICs ergeben. Bevorzugt wird eine Ein-Chip-Lösung mit externem DRAM, da mehrere Megabyte an Speicher für die vom und zum Medium transferierten Sektordaten sowie die Instruktionen und Daten des On-Chip-Prozessors benötigt werden. Ein On-Chip-DRAM würde die freie Wahl des Chip-Herstellers einschränken und höhere Kosten verursachen. Weiterhin benötigt wird ein Speicher-Controller für die Verwaltung der vom und zum Medium transferierten Sektordaten sowie die Verwaltung der

Instruktionen und Daten des On-Chip-Prozessors. Vorzugsweise wird für das externe DRAM ein SDRAM verwendet.

Es ist eine Aufgabe der Erfindung, einen verbesserten Speicher-  
5 Controller vorzuschlagen.

Gemäß der Erfindung weist ein Speicher-Controller für einen IC mit einem externen DRAM, wobei das externe DRAM zumindest eine Speicherbank aufweist und über zumindest ein Interface mit dem  
10 IC kommuniziert, einen Befehlsplaner auf, der das Senden von Bank-Befehlen gemäß einer statischen Prioritätsvergabe für Befehle und einer dynamischen Prioritätsvergabe für Interfaces priorisiert.

15 Gemäß einem weiteren Aspekt der Erfindung wird bei einem Verfahren zum Kommunizieren eines ICs mit einem externen DRAM, wobei das externe DRAM zumindest eine Speicherbank aufweist und über zumindest ein Interface mit dem IC kommuniziert, das Senden von Bank-Befehlen gemäß einer statischen  
20 Prioritätsvergabe für Befehle und einer dynamischen Prioritätsvergabe für Interfaces priorisiert.

Vorteilhafterweise weist ein Gerät zum Lesen und/oder Beschreiben optischer Speichermedien einen erfindungsgemäßen Speicher-Controller auf oder verwendet ein erfindungsgemäßes Verfahren zum Kommunizieren eines ICs mit einem externen DRAM.

Zum besseren Verständnis soll die Erfindung nachfolgend anhand der Figuren 1 bis 4 erläutert werden. Gleiche Bezugszeichen  
30 bezeichnen dabei gleiche Elemente. Selbstverständlich ist die Erfindung nicht auf die gezeigten Ausführungsbeispiele beschränkt. Merkmale der Erfindung können ohne Weiteres kombiniert oder abgewandelt werden, ohne den Geltungsbereich der Erfindung zu verlassen. Es zeigen:

Fig. 1 das Blockschaltbild eines erfindungsgemäßen SDRAM-  
Controllers;

Fig. 2 das Blockschaltbild eines Befehlsplaners;

Fig. 3 ein Zustandsdiagramm der Prioritätsvergabe; und

Fig. 4 ein Flussdiagramm des Befehlsplaners.

10 Das Blockschaltbild eines erfindungsgemäßen SDRAM-Controllers  
ist in Fig. 1 dargestellt. Jeder Bank im SDRAM-Modul ist eine  
State-Machine zugeordnet, die den jeweiligen Zustand der Bank  
abbildet und für die Einhaltung der Wartezeiten und der  
korrekten Zustandsabfolge zuständig ist. Diese State-Machines  
15 senden ihre Befehle für die Bänke an einen Befehls- und  
Busplaner (Command-Bus-Scheduler), der über die Vergabe des  
externen Befehls- und Daten-Busses wacht. Ihre Transferaufträge  
erhalten die State-Machines direkt von drei Interfaces (Input,  
AMBA und Output), die vom MemCtrl-Modul an Hand ihrer Adresse  
20 und Priorität an die entsprechende Bank weitergeleitet werden.  
Das Input-Interface übernimmt bei einem Lesezugriff auf das  
Speichermedium die Daten von einer ECC-Einheit (ECC: Error  
Correcetion Code), das Output-Interface reicht die Daten an  
einen ATAPI-Block weiter. Beide Interfaces beinhalten FIFOs, um  
ein Stocken des Datenflusses zu vermeiden. Bei einem  
Schreibzugriff auf das Speichermedium erhält das Input-  
Interface die Daten vom ATAPI-Block und das Output-Interface  
sendet sie an die ECC-Einheit weiter. Das AMBA-Interface (AMBA:  
Advanced Microcontroller Bus Architecture) besteht aus einem  
30 AMBA-Slave, der zudem auch Zugriffe auf ein Registerfile  
ermöglicht. Es enthält einen Lese- und einen Schreibcache, um  
die Blockierungsdauer des AMBA-Busses zu reduzieren. Da der  
interne Zustand jeder der vier SDRAM-Bänke durch eine eigene  
State-Machine abgebildet wird, kann es bereits beim Zugriff auf  
35 eine State-Machine zur Konkurrenz durch die drei Interfaces  
kommen, die nicht durch einen vorgeschalteten Planungs-

Algorithmus behandelt wird. Jedoch kann gewährleistet werden, dass diese Konkurrenzsituation nur selten auftritt. Daher wird dem Echtzeitdatenstrom der Sektordaten hier Vorrang gegenüber den ARM-Zugriffen gewährt.

5

Ein Blockschaltbild des Befehlsplaners ist in Fig. 2

dargestellt. Die eingehenden Befehle der State-Machines, die die vier Bänke verwalten, werden analysiert. Dabei wird für jeden der fünf möglichen Befehle - Activate, Read, Write,

10 Precharge und Burst-Terminate - ermittelt, ob er mindestens einmal anliegt. Wenn dies der Fall ist, wird das erste Vorkommen an den Planer übermittelt. Es ist also nur relevant, ob ein Befehl wartet; die Bank oder das in diesem Moment dazugehörige Interface sind ohne Belang.

15 Der Planer selbst prüft zuerst das Vorhandensein eines globalen Befehls. Liegt ein Befehl zur Programmierung des Mode-Registers, für einen globalen Refresh oder ein globales Precharge an, so wird dieser direkt ausgeführt. Da vom Bank-Ctrl-Modul sichergestellt wird, dass ein globaler Befehl nur  
20 auftreten kann, wenn die Bänke sich im Idle-Zustand befinden, ist hier keine weitere Prüfung notwendig.

Wird als globaler Befehl ein NOP übermittelt, so darf ein Bank-Befehl gesendet werden. Das Senden von Bank-Befehlen erfolgt gemäß einer statischen Prioritätsvergabe für Befehle und einer dynamischen Prioritätsvergabe für Interfaces. Dabei ist die Priorität von Befehlen höher als die der Interfaces. Das bedeutet, dass erst ein Befehlstyp gewählt wird und, wenn es mehrere Interfaces gibt, die diesen Befehl absetzen wollen, anschließend das Interface gewählt wird, das den Befehl

30 absetzen darf.

Bei den Befehlen hat die höchste Priorität der Burst-Terminate-Befehl, um Bursts zu beenden. Die zweithöchste Priorität haben die Read- und Write-Befehle, da sie einen neuen Burst einleiten und ihr schnellstmögliches Absetzen somit die Voraussetzung für  
35 eine gute Auslastung des Datenbusses ist. Die nächst niedrigere Priorität hat der Activate-Befehl, der zum Öffnen einer Zeile

dient. Da das Öffnen einer Zeile Voraussetzung für das Starten eines Bursts ist, liegt die Priorität des Activate-Befehls oberhalb der des Precharge-Befehls, welches die niedrigste Priorität hat, da es nach Beendigung eines Bursts ausgeführt wird und, solange kein Folgezugriff ansteht, die Gesamtperformance nicht beeinflusst.

Die dynamische Priorisierung der Interfaces erfolgt durch einen Algorithmus, wie er in Form einer Final-State-Machine, d.h. einem Zustandsdiagramm, in Fig. 3 dargestellt ist. Die Zustände stellen die Prioritätsstufen dar. Dabei hat das obere Interface die höchste Priorität und das untere Interface die niedrigste Priorität. Die Zustandsübergänge stellen das Interface dar, dass letztlich seinen Befehl absetzen kann. Ein eventuelles Zusatzinterface für einen Flash-Controller ist nicht berücksichtigt, da es nicht mit den anderen Interfaces konkurriert.

Wie zu sehen ist, wird die Abfolge Input → AMBA → Output → AMBA immer eingehalten, wenn alle drei Interfaces aktiv sind. Kann das Interface mit der höchsten Priorität keinen Befehl absetzen, da es gerade nicht aktiv ist oder sein Befehl eine zu geringe Priorität besitzt, erhält das Interface das letztlich seinen Befehl absetzen kann, im nächsten Taktzyklus die niedrigste Priorität. Gleichzeitig wird aber sichergestellt, dass im nächsten Taktzyklus das AMBA-Interface die höchste Priorität erhält, wenn es im aktuellen Taktzyklus nicht die höchste Priorität hat und ein anderes Interface zum Zuge kommt. Hat das AMBA-Interface die höchste Priorität erhalten, verliert es sie nur wieder, wenn es einen Befehl absetzen kann. Dadurch wird für den ARM die geringstmögliche Latenz sichergestellt.

Die Entscheidung, welches Interface seinen Befehl absetzen darf, soll nachfolgend anhand des in Fig. 4 dargestellten Flussdiagramms erläutert werden. Möchte eine Bank-FSM (FSM: Final State-Machine) ihren Burst beenden, hat dies die höchste Priorität. Wenn folglich bei der Analyse ein Burst-Terminate

gefunden wurde, wird der laufende Burst abgebrochen. Dies kann auf zwei Arten geschehen: zum einen durch das einfache Weitersenden des Burst-Terminate-Befehls, zum anderen durch das Starten eines neuen Bursts. Bevor nun ein Burst-Terminate  
5 abgesetzt wird, wird geprüft, ob ein Read- oder Write-Befehl ebenfalls auf sein Absetzen wartet. Ist dies der Fall, wird dieser Befehl anstelle des Burst-Terminate abgesetzt. Bei der Analyse wird lediglich geprüft, ob mindestens ein Read- oder Write-Befehl anliegt. Daher wird vor dem Absetzen des Read-  
10 oder Write-Befehls anhand der dynamischen Prioritätsvergabe für die Interfaces geprüft, welches das Interface ist, das ein Read- oder Write-Befehl und die höchste Priorität hat. Dieses Interface darf dann seinen Befehl absetzen. Die Wahl des Interfaces wird der Prioritätsvergabe mitgeteilt, die dadurch  
15 im nächsten Taktzyklus in einen neuen Zustand mit einer neuen Verteilung der Prioritäten geht. Die einzige Einschränkung bei der Ersetzung des Burst-Terminate-Befehls durch einen Read- oder Write-Befehl liegt darin, dass ein Lese-Burst nicht durch einen Schreib-Burst beendet werden darf, da sonst der  
20 Controller und der SDRAM-Baustein gleichzeitig den Datenbus treiben. Bei Verwendung einer geringeren Taktfrequenz lässt sich diese Einschränkung aber umgehen, da die Hold-Zeit der Ausgänge des SDRAM konstant ist und nicht von der Taktfrequenz abhängt.

Liegt kein Burst-Terminate-Befehl an, so wird auf das Vorhandensein von Read- oder Write-Befehlen geprüft und bei Vorhandensein gemäß der Prioritätsvergabe der Befehl gesendet. Liegen auch keine Read- oder Write-Befehle an, so wird auf Activate-Befehle geprüft. Sind auch diese nicht vorhanden,  
30 können Precharge-Befehle abgesetzt werden. Sollte kein Interface bzw. keine Bank einen Befehl absetzen wollen, wird ein NOP gesendet.

Wird ein Befehl an das SDRAM abgesetzt, wird die Bank-FSM, von der dieser Befehl stammt, durch ein Signal informiert, wodurch  
35 sie im folgenden Taktzyklus in einen neuen Zustand geht.

Um bei der Kommando-Übermittlung die Setup- und Hold-Zeiten des SDRAM einzuhalten, wird das SDRAM vorzugsweise mit invertiertem Systemtakt betrieben. Die Kommandos und die Daten eines Schreibzugriffes werden vom SDRAM somit mit einer Verzögerung

5 von einem halben Taktzyklus plus der Signallaufzeit durch die Pad-Zellen und der Signallaufzeit auf dem PCB übernommen.



**Patentansprüche**

1. Speicher-Controller für einen IC mit einem externen DRAM, wobei das externe DRAM zumindest eine Speicherbank aufweist und  
5 über zumindest ein Interface mit dem IC kommuniziert, **dadurch gekennzeichnet**, dass er einen Befehlsplaner aufweist, der das Senden von Bank-Befehlen gemäß einer statischen Prioritätsvergabe für Befehle und einer dynamischen Prioritätsvergabe für Interfaces priorisiert.  
10
2. Verfahren zum Kommunizieren eines ICs mit einem externen DRAM, wobei das externe DRAM zumindest eine Speicherbank aufweist und über zumindest ein Interface mit dem IC kommuniziert, **dadurch gekennzeichnet**, dass das Senden von Bank-  
15 Befehlen gemäß einer statischen Prioritätsvergabe für Befehle und einer dynamischen Prioritätsvergabe für Interfaces priorisiert wird.
3. Gerät zum Lesen und/oder Beschreiben optischer  
20 Speichermedien, **dadurch gekennzeichnet**, dass es einen Speicher-Controller gemäß Anspruch 1 aufweist oder ein Verfahren gemäß Anspruch 2 verwendet.

## Zusammenfassung

### Speicher-Controller

5 Die vorliegende Erfindung betrifft einen Speicher-Controller für einen IC mit einem externen DRAM, wobei das externe DRAM zumindest eine Speicherbank aufweist und über zumindest ein Interface mit dem IC kommuniziert.

Erfindungsgemäß weist der Speicher-Controller einen  
10 Befehlsplaner auf, der das Senden von Bank-Befehlen gemäß einer statischen Prioritätsvergabe für Befehle und einer dynamischen Prioritätsvergabe für Interfaces priorisiert.




Fig. 1

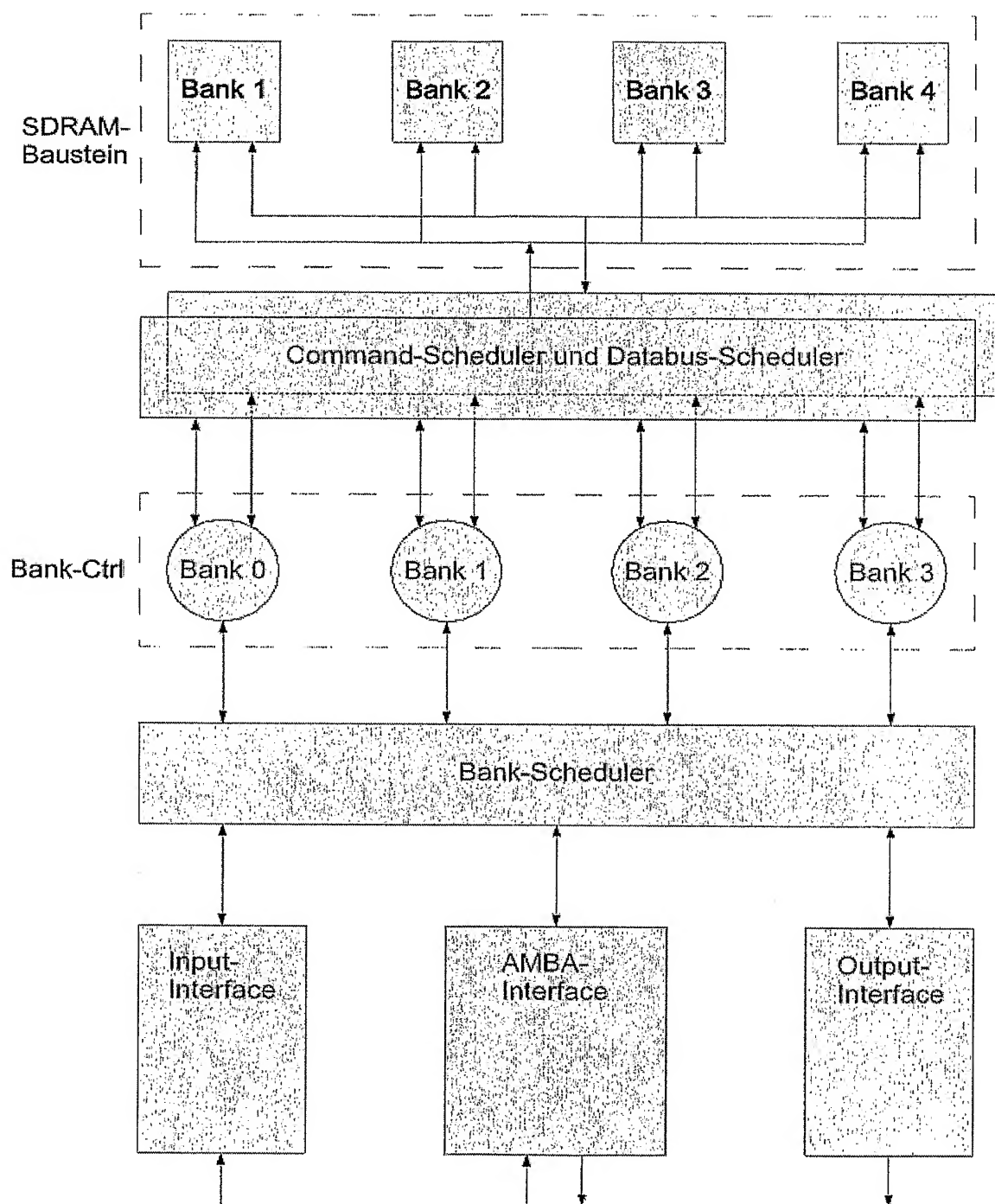


Fig. 1

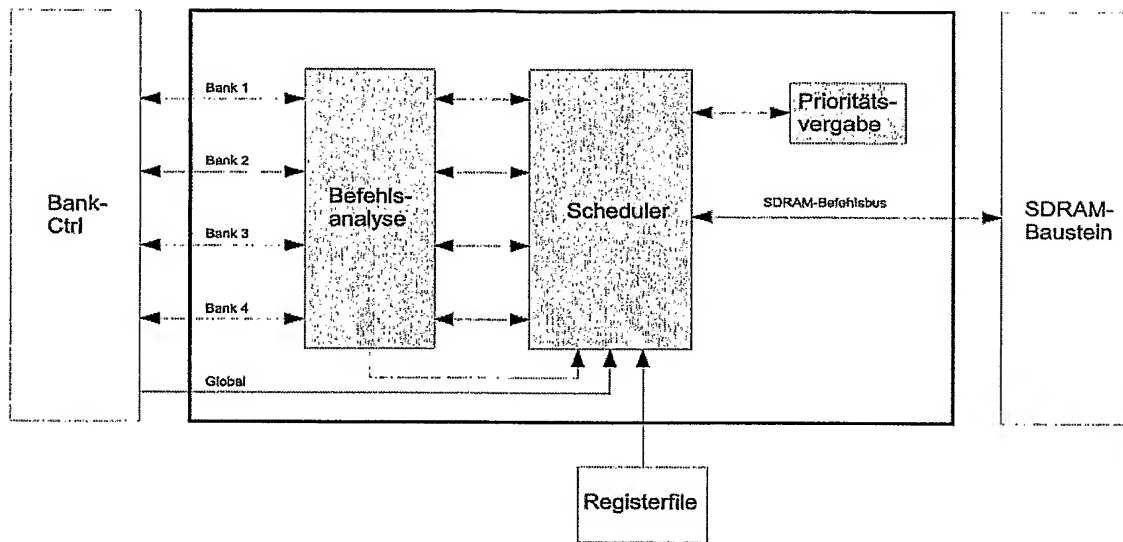


Fig. 2

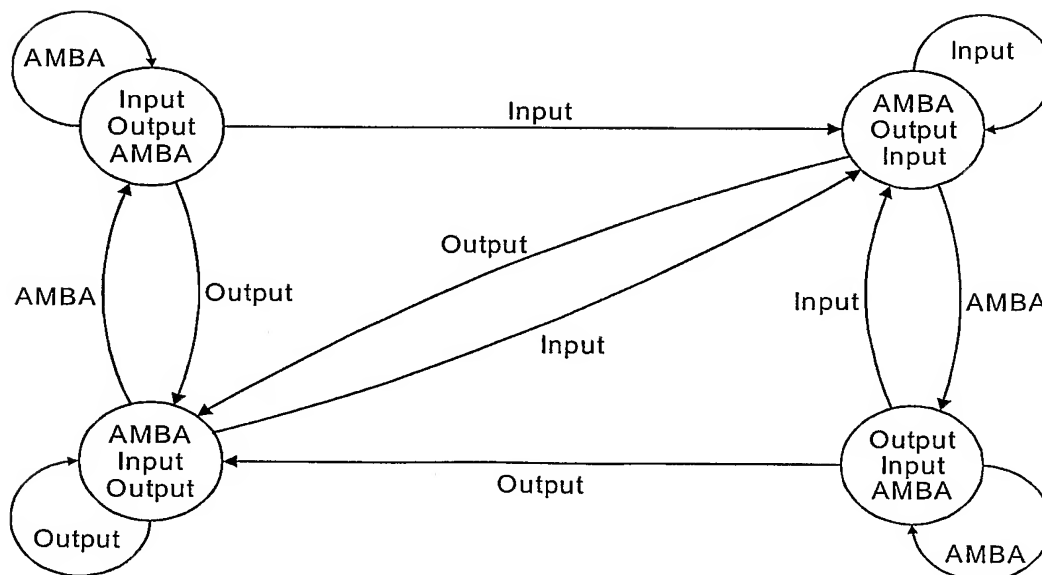


Fig. 3

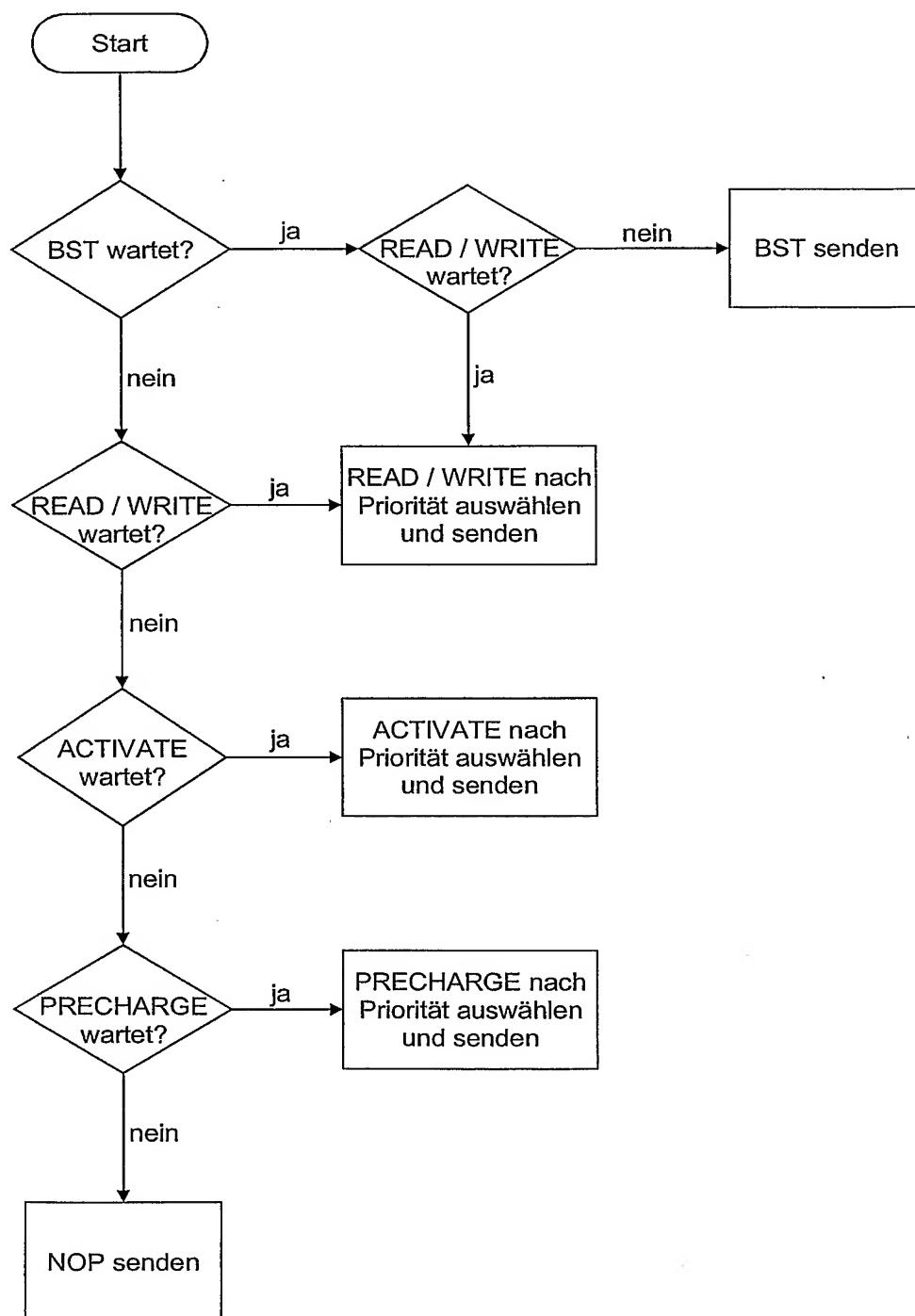


Fig. 4